

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

06191912 \*\*Image available\*\*

ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE AND ELECTRONIC EQUIPMENT

PUB. NO.: 11-133463 [JP 11133463 A]

PUBLISHED: May 21, 1999 (19990521)

INVENTOR(s): OTANI HISASHI

HIRAKATA YOSHIHARU

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 09-316567 [JP 97316567]

FILED: October 31, 1997 (19971031)

INTL CLASS: G02F-001/136; G02F-001/1343; G09F-009/30; H01L-029/786;  
H01L-021/336

#### ABSTRACT

**PROBLEM TO BE SOLVED:** To obtain high definition and high contrast by forming a drain electrode and a conductive layer on the position superimposing auxiliary capacity making a part of an insulation layer a dielectric with an activated layer and a gate electrode.

**SOLUTION:** An active layer 101 consists of a crystal silicon film processed to a meandering pattern, and a part of gate wiring 102 arranged on the active layer 101 through a gate insulation film functions as the gate electrode. Source wiring 103 is connected to the source area of the active layer 101 by a contact hole 105, and the drain electrode 104 is connected to the drain area of the active layer 101 by the contact hole 106. A black mask 108 is arranged for covering respective wiring, a switching element and discrimination. In such a case, the auxiliary capacity 109 is constituted of making the drain electrode 104 and the black mask 108 upper/lower electrodes, and the insulation layer between them is used as the dielectric. Then, this auxiliary capacity 109 is formed upward the switching element 107.

COPYRIGHT: (C)1999,JPO

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

012555319 \*\*Image available\*\*

WPI Acc No: 99-361425/199931

Related WPI Acc No: 98-484784

XRPX Acc No: N99-269443

Active matrix liquid crystal display for electronic machine - has electrically conductive layer which is formed on drain electrode and source wiring via insulating layer, to form auxiliary capacitor

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 11133463	A	19990521	JP 97316567	A	19971031	G02F-001/136	199931 B
KR 98070769	A	19981026	KR 982074	A	19980117	G02F-001/133	199953

Priority Applications (No Type Date): JP 97316567 A 19971031; JP 9719825 A 19970117

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 11133463	A		9			

Abstract (Basic): JP 11133463 A

NOVELTY - Insulating layer and an electrically conductive layer are sequentially formed on the drain electrode and source wiring, which are connected to the barrier layer of a switching element and an auxiliary capacitor is obtained. The auxiliary capacitor provided on the position superimposed on barrier layer and gate electrode functions as a dielectric.

USE - For electronic machine.

ADVANTAGE - Effective pixel area in each pixel is increased greatly and substantial image display area is increased. LCD with high contrast is obtained. DESCRIPTION OF DRAWING(S) - The figure shows structure of AMLCD.

Dwg.6/7

Title Terms: ACTIVE; MATRIX; LIQUID; CRYSTAL; DISPLAY; ELECTRONIC; MACHINE;

ELECTRIC; CONDUCTING; LAYER; FORMING; DRAIN; ELECTRODE; SOURCE; WIRE;  
INSULATE; LAYER; FORM; AUXILIARY; CAPACITOR

Derwent Class: P81; P85; U12; U14

International Patent Class (Main): G02F-001/133; G02F-001/136

International Patent Class (Additional): G02F-001/1343; G09F-009/30;

H01L-021/336; H01L-029/786

File Segment: EPI; EngPI

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-133463

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl. <sup>6</sup>	識別記号	F I	
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0
			1/1343
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 Z
21/336			6 1 9
審査請求 未請求 請求項の数 8 F D (全 9 頁)			

(21) 出願番号 特願平9-316567

(22) 出願日 平成9年(1997)10月31日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 平形 吉晴

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置及び電子機器

(57) 【要約】

【課題】 高精細かつ高コントラストのアクティブマトリクス型液晶表示装置を実現する。

【解決手段】 画素マトリクス回路を構成する画素内において、スイッチング素子と補助容量とを重ねることで遮光すべき面積を縮小する。また、ラビング方向と画素内の横方向電界の向きを考慮してディスクリネーションの発生箇所を予測し、そこにスイッチング素子を配置してディスクリネーションの遮光とスイッチング素子の遮光とをできるだけ省スペースで行う。

## 【特許請求の範囲】

【請求項1】 少なくとも一つのスイッチング素子と補助容量とを具備する画素がマトリクス状に設けられたアクティブマトリクス型液晶表示装置であって、前記スイッチング素子の活性層に接続されたソース配線及び当該ソース配線と同一層のドレイン電極と、前記ソース配線及びドレイン電極上に形成された絶縁層と、前記絶縁層上に形成された導電層と、を構成に含み、

前記ドレイン電極と前記導電層は、前記絶縁層の一部を誘電体とする補助容量を前記活性層及びゲート電極と重畳する位置に形成していることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 少なくとも一つのスイッチング素子と補助容量とを具備する複数の画素がマトリクス状に設けられたアクティブマトリクス型液晶表示装置であって、前記スイッチング素子のゲート配線と、前記ゲート配線の上方に形成されたソース配線及び当該ソース配線と同一層のドレイン電極と、前記ソース配線及びドレイン電極上に形成された絶縁層と、前記絶縁層上に形成された導電層と、前記導電層の上方に形成された画素電極及び配向膜と、を構成に含み、

前記スイッチング素子及び補助容量は、前記画素内において最も早くラビング処理が行われる角部に配置されることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項3】 請求項2において、前記スイッチング素子と前記補助容量とは重畳して形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項4】 請求項1乃至請求項3において、前記絶縁層は少なくとも2層以上の積層構造からなることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項5】 請求項1乃至請求項4において、前記絶縁層は最下層が窒化珪素膜であり、当該窒化珪素膜よりも上の層に有機性樹脂膜を含む積層膜であることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項6】 請求項5において、前記窒化珪素膜と前記有機性樹脂膜との間には酸化珪素膜または酸化窒化珪素膜でなる絶縁層が存在することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項7】 請求項1乃至請求項6において、前記絶縁層は少なくとも最下層を残して設けられた凹部を有し、且つ、前記導電層は当該凹部を被覆する様にして形成されており、前記ドレイン電極と前記導電層は、前記凹部の底面となる絶縁層を誘電体として補助容量を形成していることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項8】 請求項1乃至請求項7に記載のアクティブマトリクス型液晶表示装置を具備することを特徴とする電子機器。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本明細書で開示する発明は、スイッチング素子として薄膜トランジスタ（以下、TFTと呼ぶ）を用いたアクティブマトリクス型の液晶表示装置の画素領域の回路構成・配置に関する。特に、補助容量の構成に関する。

【0002】

【従来の技術】 最近、安価なガラス基板上にTFTを製作する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置（以下、AMLCDと呼ぶ）の需要が高まったことにある。

【0003】 AMLCDはマトリクス状に配置された数十～数百万個もの各画素のそれぞれにTFTを配置し、各画素電極に出入りする電荷をTFTのスイッチング機能により制御するものである。

【0004】 各画素電極と対向電極との間には液晶が挟み込まれ、一種のコンデンサを形成している。従って、TFTによりこのコンデンサへの電荷の出入りを制御することで液晶の電気光学特性を変化させ、液晶パネルを透過する光を制御して画像表示を行うことができる。

【0005】 この様な液晶を用いた表示装置に特有の現象としてディスクリネーションと呼ばれる現象がある。液晶は画素電極と対向電極との間にある規則性をもった配向性をもって配列しているが、電極表面の凹凸やラビング不良に起因して配向性が乱れる場合がある。

【0006】 この場合、正常なドメイン（領域）とそれとは逆向きに配向した領域（リバースチルトドメイン）の間では液晶分子が光シャッターとして機能せず、光漏れなどの表示不良を起こす。この時、正常なドメインとリバースチルトドメインとの境界に現れる光漏れがディスクリネーションである。

【0007】 この様なディスクリネーションは表示コントラストを低下させるため、発生箇所領域をブラックマスクで隠すという手段がとられている。しかしながら、ディスクリネーションは液晶の僅かな配向不良から発生するため、発生箇所の予測が難しい。また、ブラックマスクを設けることでディスクリネーションを隠すことはできても、その分、実効的な画素面積（有効画素面積）が小さくなるという問題がある。

【0008】

【発明が解決しようとする課題】 ところで、リバースチルトドメインは主に電界の乱れ（代表的には横方向の電界）に起因して液晶分子が正常な状態とは逆のプレチルト角で配向した領域である。このリバースチルトドメインは電界分布が把握できれば発生箇所の予測が比較的容易であると言える。

【0009】そこで、本願発明ではリバースチルトドメインの形成箇所を特定の領域に制御し、ディスクリネーションの発生箇所を制限する。そして、ブラックマスクの占有面積を縮小化することで有効画素面積を拡大し、高精細かつ高コントラストなAMLCDを実現することを課題とする。

【0010】

【課題を解決するための手段】本明細書で開示する発明の構成は、少なくとも一つのスイッチング素子と補助容量とを具備する画素がマトリクス状に設けられたアクティブマトリクス型液晶表示装置であって、前記スイッチング素子の活性層に接続されたソース配線及び当該ソース配線と同一層のドレイン電極と、前記ソース配線及びドレイン電極上に形成された絶縁層と、前記絶縁層上に形成された導電層と、を構成に含み、前記ドレイン電極と前記導電層は、前記絶縁層の一部を誘電体とする補助容量を前記活性層及びゲート電極と重畳する位置に形成していることを特徴とする。

【0011】また、他の発明の構成は、少なくとも一つのスイッチング素子と補助容量とを具備する複数の画素がマトリクス状に設けられたアクティブマトリクス型液晶表示装置であって、前記スイッチング素子のゲート配線と、前記ゲート配線の上方に形成されたソース配線及び当該ソース配線と同一層のドレイン電極と、前記ソース配線及びドレイン電極上に形成された絶縁層と、前記絶縁層上に形成された導電層と、前記導電層の上方に形成された画素電極及び配向膜と、を構成に含み、前記スイッチング素子及び補助容量は、前記画素内において最も早くラビング処理が行われる角部に配置されることを特徴とする。

【0012】

【発明の実施の形態】本願発明の実施形態について図1を用いて説明する。図1に示すのは本願発明の構成を有するアクティブマトリクス型液晶表示装置において、画素マトリクス回路を構成する画素の一つを拡大した図である。

【0013】図1(A)において、101は蛇行パターンに加工された結晶性珪素膜でなる活性層、102はゲート配線であり、ゲート配線102のうちゲート絶縁膜を介して活性層上に配置された部分はゲート電極として機能する。

【0014】また、ゲート配線102の上には層間絶縁膜を介してソース配線103、ドレイン電極104が形成される。ソース配線103はコンタクトホール105で活性層101のソース領域と接続し、ドレイン電極104はコンタクトホール106によって活性層101のドレイン領域と接続する。

【0015】なお、本明細書中では、図1(A)において107で示される領域内に構成された素子をスイッチング素子(代表的にはTFT、MIM素子でも良い)と

呼ぶ。即ち、この後で形成されるブラックマスクや画素電極等はスイッチング素子の構造には含まない。

【0016】また、図1(B)は図1(A)の配置構成にブラックマスク(BM)108を重ねた図である。ブラックマスク108は各配線やスイッチング素子及びディスクリネーションを隠すために配置される。

【0017】この時、109(太線)で示される領域が補助容量(Cs)を形成する領域となる。補助容量109はドレイン電極104とブラックマスク108とを上下電極として構成し、その間の絶縁層を誘電体として利用する。本願発明では補助容量109をスイッチング素子107の上方に形成する点が特徴である。

【0018】スイッチング素子107も補助容量109も結局はブラックマスク108で隠す必要があるため、同一領域に重ねた方が有効画素面積を増やす上で非常に有効である。なお、有効画素面積とは、実際に画像表示領域として機能しう領域のことを指す。

【0019】また、本願発明は補助容量109の誘電体の形成方法に特徴がある。図2に示すのは、図1(B)における補助容量109の断面構造である。図2において、200は絶縁表面を有する基板、201は活性層、202は第1の絶縁層(ゲート絶縁膜を含む)、203はドレイン電極、204は窒化珪素膜、205は酸化珪素膜、206は有機性樹脂膜である。

【0020】有機性樹脂膜206はエッチングにより凹部207が形成され、有機性樹脂膜206及び凹部207を被覆する様にしてブラックマスク208が形成される。そのため、凹部207では底面の絶縁層(窒化珪素膜204、酸化珪素膜205)のみを介してドレイン電極203とブラックマスク208とが近接し、その絶縁層を誘電体とする補助容量209が形成される。

【0021】また、図1(B)において、110はドレイン電極104と画素電極(図示せず)とのコンタクト部である。この様に、ブラックマスク108上には層間絶縁膜を介して画素電極が設けられ、その上に配向膜が形成される。

【0022】本願発明の他の特徴としては、配向膜に対するラビングの方向(以下、断りがない限り、素子形成側の基板に対するラビングの方向を指す)を考慮してスイッチング素子を配置を設計している点が挙げられる。

【0023】図3(A)に示す様に、ラビング工程とは円周面にバフ布等を設けたローラー302を用いて配向膜301に微小な溝を形成する工程である。この時、回転するローラー302に対して逆行する様な形で基板が移動する(又はローラーが移動する)ことになる。

【0024】この様な過程で配向膜301の表面(ラビング処理後の配向膜面)303には、のこぎりの歯の様な形状の非常に微細な溝が形成される。液晶分子はこの溝に沿って配列することで規則的な配向性を有することになるが、模式的に図示すると配向膜301付近では図

3 (B) に示す様な状態に配列される。304は配列した液晶分子である。

【0025】本明細書中でラビング方向と呼ぶ方向は、図3 (A) に示すラビング方向であり、ローラー302の移動方向に一致し、基板の移動方向とは逆である。なお、AMLCDが完成した後も液晶分子の配列状態（プレチルト角、長軸方向等）によってラビング方向を判別することは可能である。視覚的にも視野角依存性などから液晶分子の配向状態、即ちラビング方向は判別できる。

【0026】ここで図1 (B) では画素に対して左斜め上から右斜め下に向かう様な方向にラビングが施されている。この時、画素内において最も早くラビング処理が始まる角部にスイッチング素子107及び補助容量109の配置される点が重要である。即ち、ラビング処理は画素内を斜めに横切る様にして行われるためラビング筋は画素内を斜めに形成され、スイッチング素子の存在する側の角部からラビング処理が始まる（厳密にはラビング処理の方向を考慮してスイッチング素子の配置を決定している）ことを意味している。

【0027】ラビング方向が図1 (B) の様な方向である場合、ディスクリネーションは画素に向かって左上の位置に発生しやすい。また、画素電極とのコンタクト部110は最上層であるが故に平坦化することが困難であり、非常に大きな段差を生じるため、ここでもラビング処理の不足による配向不良が発生しやすい。

【0028】図1 (B) に示す構成はこれらのディスクリネーション発生原因を全て考慮して設計されており、ディスクリネーションを特定の位置に閉じ込めることを目的としている。

【0029】そのため、第1にスイッチング素子と補助容量とを重ねて形成することで遮光領域の縮小化を図り、第2にラビング方向に起因するディスクリネーションが発生しやすい領域にスイッチング素子と補助容量とを配置することでディスクリネーションを画素の特定の位置に固定する。上述の画素電極のコンタクト部110はディスクリネーションの固定に大きく寄与している。

【0030】また、図1に示す構成は駆動回路（ドライバ回路）の駆動方法をソースライン反転駆動とする時に有効である。ソースライン反転駆動とすることで任意のソース配線とそれに隣接するソース配線との間に僅かな横方向電界が発生し、その電界に起因するリバースチルトドメインが発生する。図1の構成はソースライン反転駆動に対応したリバースチルトドメインに対する対策である。

【0031】勿論、ゲイトライン反転駆動とする場合にはそれに対応してリバースチルトドメインの発生位置も変化するため、ディスクリネーションの発生箇所も変化する。その場合には、スイッチング素子と補助容量の配置やラビング方向をディスクリネーションの発生箇所に

応じて変えなければならない。

【0032】以上の様な構成を総合的にまとめると、図4に示す状態が得られる。図4に示す状態は任意の画素において「黒」を表示した際に、ディスクリネーションの発生位置とブラックマスクの位置との関係を示している。

【0033】図4において、ブラックマスク401に設けられた開口部402が画像表示領域であり、実質的に画素として機能する領域である。また、403は本願発明の構成を実施した際に発生するディスクリネーションである。

【0034】本願発明の構成では、ラビング方向に対応して画素の左上の位置にディスクリネーション403が発生し、その領域（画素の左上）にスイッチング素子及び補助容量が配置され、さらに画素電極のコンタクト部によってディスクリネーション403が固定される。

【0035】従って、ディスクリネーションが画素の端部に発生する様な設計を意図的に行い、そうして形成されたディスクリネーション403をブラックマスクで隠すことで、必然的にスイッチング素子や補助容量も隠され、画素領域内におけるブラックマスクの占有面積を必要最小限に抑えることが可能となる。即ち、有効画素面積を最大限に確保することが可能である。

【0036】以上の構成でなる本願発明について、以下に示す実施例でもって詳細な説明を行うこととする。

【0037】

【実施例】

【実施例1】本実施例では、画素内に配置されるスイッチング素子としてTFTを作製する例を図5を用いて説明する。

【0038】まず、絶縁表面を有する基板（図示せず）上に活性層501を形成する。活性層501は膜厚が20～100 nm（好ましくは25～70nm）の結晶性半導体膜（代表的には結晶性珪素膜）で構成すれば良い。（図5 (A)）

【0039】結晶性珪素膜の形成方法は公知の如何なる手段を用いても良いが、本実施例では特開平8-78329号公報記載の技術を用いる。

【0040】また、本実施例ではさらに、同公報記載の技術で結晶性珪素膜を得た後、リンを用いたゲッタリング手段（特願平9-65406号）で結晶化に利用した触媒元素を低減している。他にも、ハロゲン元素を含む雰囲気中で加熱処理（特願平8-301249号）を行って触媒元素を低減することもできる。

【0041】こうして形成した結晶性珪素膜をパターンニングして活性層501を形成し、プラズマCVD法によりゲイト絶縁膜（図示せず）を形成した後、熱酸化行程を行って活性層501とゲイト絶縁膜との界面特性を向上させる。なお、熱酸化後の最終的な活性層膜厚は10～75nm（好ましくは15～45nm）となる様にする。

【0042】次に、アルミニウムまたはアルミニウムを主成分とする材料（本実施例では2wt%のスカンジウムを含有したアルミニウム膜）を成膜し、パターニングしてゲイト配線502を形成する。（図5（B））

【0043】次に、特開平7-135318号公報記載の技術を用いてソース／ドレイン領域、チャネル形成領域及びLDD（Lightly doped drain）領域の形成を行う。本実施例ではソース／ドレイン領域とチャネル形成領域との間に0.5～1.5 $\mu$ m（代表的には0.7～1 $\mu$ m）のLDD領域503を形成する。（図5（C））

【0044】次に、活性層に添加した不純物元素（13族または15族元素）を熱アニールによって活性化し、その後ゲイト配線502を覆って第1の層間絶縁膜（図示せず）を形成する。さらに、第1の層間絶縁膜にコンタクトホール504、505を形成して、ソース配線506とドレイン電極507を形成する。

【0045】なお、本実施例ではソース配線506及びドレイン電極507として、チタン／アルミニウム／チタンの三層積層構造を用いる。膜厚は150/500/100nmとすれば良い。（図5（D））

【0046】以上の作製工程で画素電極に液晶制御用の電圧を印加するためのスイッチング素子（TFT）が完成する。

【0047】次に、ソース配線506及びドレイン電極507を覆って第2の層間絶縁層（図示せず）を形成し、後に補助容量を構成する部分のみに凹部508を設ける。第2の層間絶縁膜は単層でも良いし、二層以上の積層構造としても良い。

【0048】本実施例では第2の層間絶縁層として、下から窒化珪素膜（50nm）、酸化珪素膜（20nm）、アクリル膜（1 $\mu$ m）からなる積層構造の絶縁層を用いる。アクリルの代わりにポリイミド等の他の有機性樹脂材料を用いても構わない。（図5（E））

【0049】そして、凹部508を形成するには、ドライエッチング法によりアクリル膜を開口する。この時、酸化珪素膜がエッチングストップとして機能する。従って、凹部508の底面には窒化珪素膜と酸化珪素膜ととなる積層膜が残る。本実施例の場合にはこの積層膜を補助容量の誘電体として利用する。勿論、酸化珪素膜をウェットエッチングによって選択的に除去して窒化珪素膜のみを残す構成とすることも可能である。

【0050】なお、本実施例では窒化珪素膜／酸化珪素膜／有機性樹脂膜の積層構造を用いているが、この構造に限定されないことは言うまでもない。本願発明を効果的に実施するためには、なるべく比誘電率が高い絶縁膜を薄く下層に設け、その上に比誘電率が低い絶縁膜を厚く設ければ良い。即ち、凹部508では補助容量の誘電体として効果的に機能し、それ以外では層間絶縁膜として効果的に機能する様な構成であることが必要である。

【0051】また、第2の層間絶縁膜を単層とする場

合、ハーフエッチングにより凹部を形成して薄膜化された部分を補助容量の誘電体として使用しても良い。

【0052】こうして第2の絶縁層に対して凹部508を形成したら、ブラックマスク509を形成する。本実施例ではブラックマスク509としてはチタンを用いるが、クロムやタンタル等の他の金属膜であっても良い。

【0053】この状態ではドレイン電極507、ブラックマスク509を上下電極とし、第2の絶縁層（正確には窒化珪素／酸化珪素の積層膜）を誘電体とする補助容量510が形成される。（図5（F））

【0054】次に、ブラックマスク509上に第3の層間絶縁層（図示せず）として1 $\mu$ m厚のアクリル膜を形成する。勿論、他の有機性樹脂膜であっても良い。そして、コンタクトホール511を形成して、画素電極512となる透明導電膜（代表的にはITO膜）を形成する。（図5（G））

【0055】こうして画素構造が完成したら、水素化を行ってTFTの活性層内に残る不対結合手を水素終端する。以上の作製工程によって、複数の画素を形成し、画素マトリクス回路を完成する。画素マトリクス回路内の各画素には少なくとも一つのスイッチング素子と補助容量とを配置すれば良い。

【0056】なお、同一基板上には画素マトリクス回路以外にも駆動回路（ドライバー回路）や信号処理回路（ $\gamma$ 補正回路、D/Aコンバータ等のロジック回路）を形成することが可能である。これらの回路の作製工程は、基本的には本実施例に示した作製工程と同一（実際には図5（D）の工程で完成する）であるため、詳細な説明は省略する。

【0057】また、本願発明は画素の配置構成に関する発明であるため、同一基板上に形成される他の回路（上述の駆動回路やロジック回路）の構成は如何なるものであっても良い。その様な回路の作製工程や構造は実施者が適宜決定すれば良い。

【0058】また、本実施例では画素電極として透明導電膜を用いた透過型LCDを例に挙げているが、画素電極として反射性電極を用いることで容易に反射型LCDを作製することが可能である。

【0059】〔実施例2〕実施例1ではゲイト配線としてアルミニウムまたはアルミニウムを主成分とする材料を用いているが、他の導電膜を用いても良い。他の導電膜としては一導電性を呈する結晶性珪素膜、タンタル膜、タングステン膜、モリブデン膜、クロム膜などを用いることが可能である。

【0060】また、LDD構造を形成するにあっても、陽極酸化法を利用した手段、サイドウォール技術を利用した手段等、公知の手段を用いることができる。

【0061】〔実施例3〕実施例1ではトップゲイト構造の例としてプレーナ型TFTを作製する場合を例にとったが、画素のスイッチング素子としてボトムゲイト型



TFT（代表的には逆スタガ型TFT）を用いても構わない。

【0062】勿論、逆スタガ型TFTを用いる場合においても実施例2の構成をとることは可能である。

【0063】〔実施例4〕本実施例では実施例1～3に示した構成のアクティブマトリクス基板（素子形成側基板）を用いてAMLCDを構成した場合の例について説明する。ここで本実施例のAMLCDの外観を図6に示す。

【0064】図6（A）において、601はアクティブマトリクス基板であり、画素マトリクス回路602、ソース側駆動回路603、ゲート側駆動回路604が形成されている。駆動回路はN型TFTとP型TFTとを相補的に組み合わせたCMOS回路で構成することが好ましい。また、605は対向基板である。

【0065】図6（A）に示すAMLCDはアクティブマトリクス基板601と対向基板605とが端面を揃えて貼り合わされている。ただし、ある一部だけは対向基板605を取り除き、露出したアクティブマトリクス基板に対してFPC（フレキシブル・プリント・サーキット）606を接続してある。このFPC606によって外部信号を回路内部へと伝達する。

【0066】また、FPC606を取り付ける面を利用してICチップ607、608が取り付けられている。これらのICチップはビデオ信号の処理回路、タイミングパルス発生回路、 $\gamma$ 補正回路、メモリ回路、演算回路など、様々な回路をシリコン基板上に形成して構成される。図6（A）では2個取り付けられているが、1個でも良いし、さらに複数個であっても良い。

【0067】また、図6（B）の様な構成もとりうる。図6（B）において図6（A）と同一の部分は同じ符号を付してある。ここでは図6（A）でICチップが行っていた信号処理を、同一基板上にTFTでもって形成されたロジック回路609によって行う例を示している。この場合、ロジック回路609も駆動回路603、604と同様にCMOS回路を基本として構成される。

【0068】また、本実施例のAMLCDはブラックマスクをアクティブマトリクス基板に設ける構成（BM on TFT）を採用するが、それに加えて対向側にブラックマスクを設ける構成とすることも可能である。

【0069】また、カラーフィルターを用いてカラー表示を行っても良いし、ECB（電界制御複屈折）モード、GH（ゲストホスト）モードなどで液晶を駆動し、カラーフィルターを用いない構成としても良い。

【0070】また、特開昭8-15686号公報に記載された技術の様に、マイクロレンズアレイを用いる構成にしても良い。

【0071】〔実施例5〕実施例4に示したAMLCDは、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、アクティブマト

リクス型液晶表示装置を搭載した製品と定義する。

【0072】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ（ノート型を含む）、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図7に示す。

【0073】図7（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は表示装置2004等に適用することができる。

【0074】図7（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102に適用することができる。

【0075】図7（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205等に適用できる。

【0076】図7（D）はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0077】図7（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0078】図7（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0079】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示板、宣伝広告用ディスプレイなどにも活用することができる。

【0080】

【発明の効果】本願発明はAMLCDの画素マトリクス回路を構成する各画素の構造に関する発明である。そして、本願発明を実施することで画素に発生するディスクリーネーションの発生位置を制御し、ディスクリーネーションを効率良く隠すことが可能である。

【0081】その様な構成とすることで、各画素における有効画素面積が大幅に拡大され、実質的な画像表示領域が増加する。そして、より高精細なLCDディスプレイにおいても高いコントラストを実現することが可能と

なる。

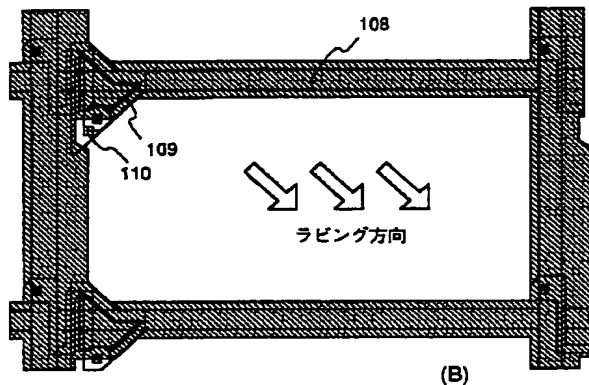
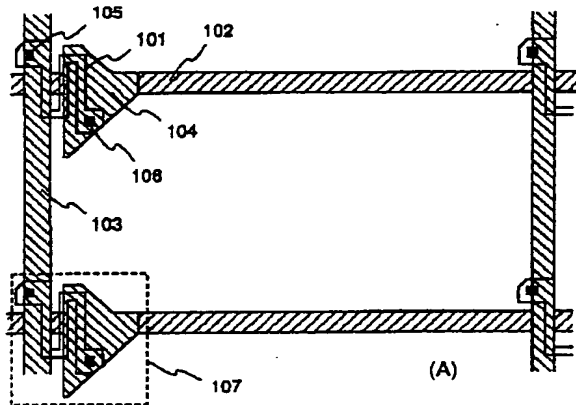
【図面の簡単な説明】

【図1】 画素の構成を示す図。

【図2】 スイッチング素子部の断面構造を構成を示す図。

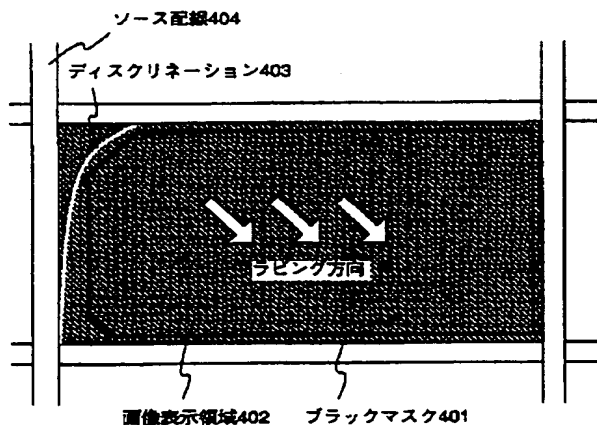
【図3】 ラビング方向を説明するための図。

【図1】

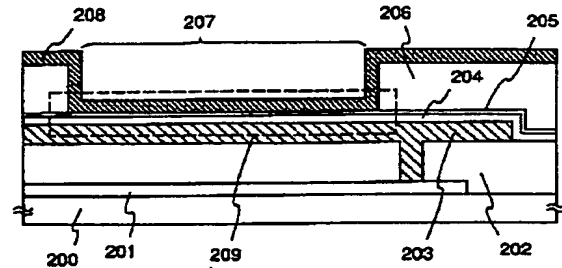


101: 活性層 102: ゲート配線 103: ソース配線 104: ドレイン電極  
105: 108: コンタクトホール 107: スイッチング素子  
109: ブラックマスク 110: 補助容量 110: コンタクト部

【図4】

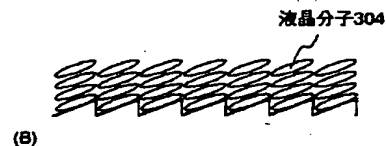
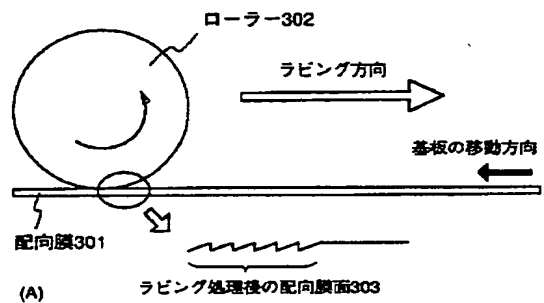


【図2】



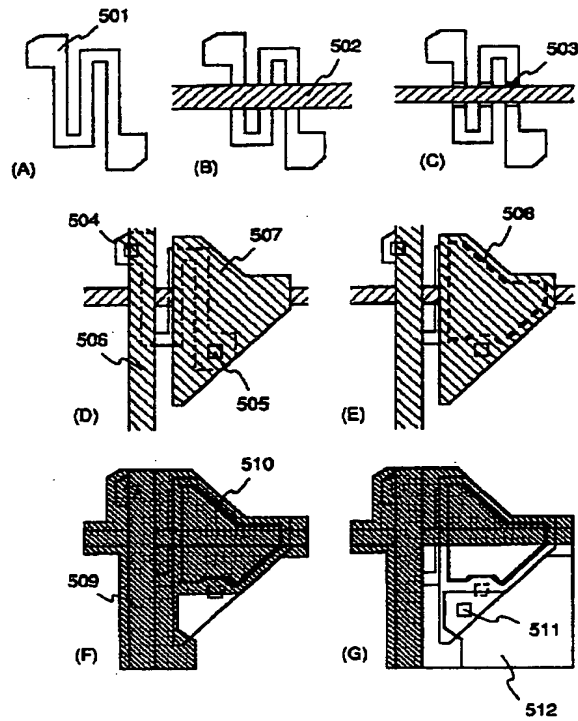
200: 基板 201: 活性層 202: 第1の絶縁層 203: ドレイン電極  
204: 酸化窒素膜 205: 酸化窒素膜 206: 有機性樹脂膜  
207: 凹部 208: ブラックマスク 209: 補助容量

【図3】



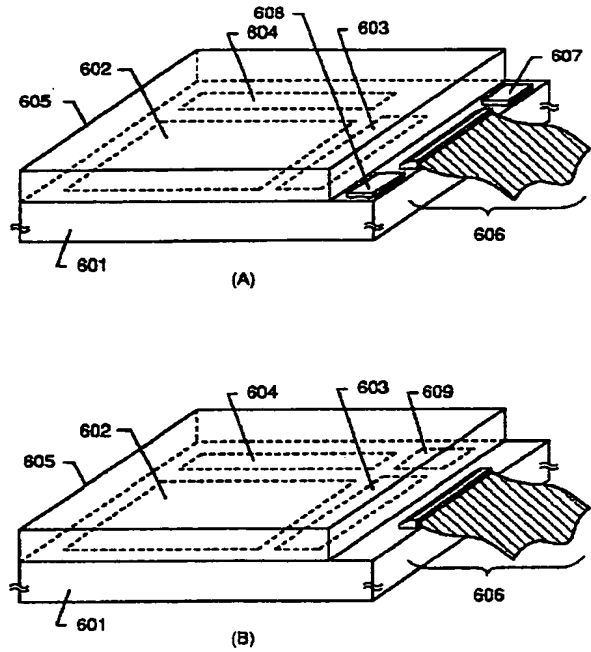
(B)

【図5】



501: 活性層 502: ゲイト配線 503: LDD領域  
 504, 505: コンタクトホール 506: ソース配線 507: ドレイン電極  
 508: 凹部 509: ブラックマスク 510: 補助電極  
 511: コンタクトホール 512: 高電極

【図6】



601: アクティブマトリクス基板 602: 画素マトリクス回路  
 603: ソース駆動回路 604: ゲイト駆動回路 605: 封入基板  
 606: FPC 607, 608: ICチップ 609: ロジック回路

【図7】

